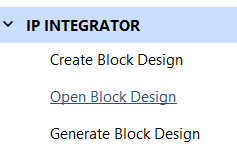
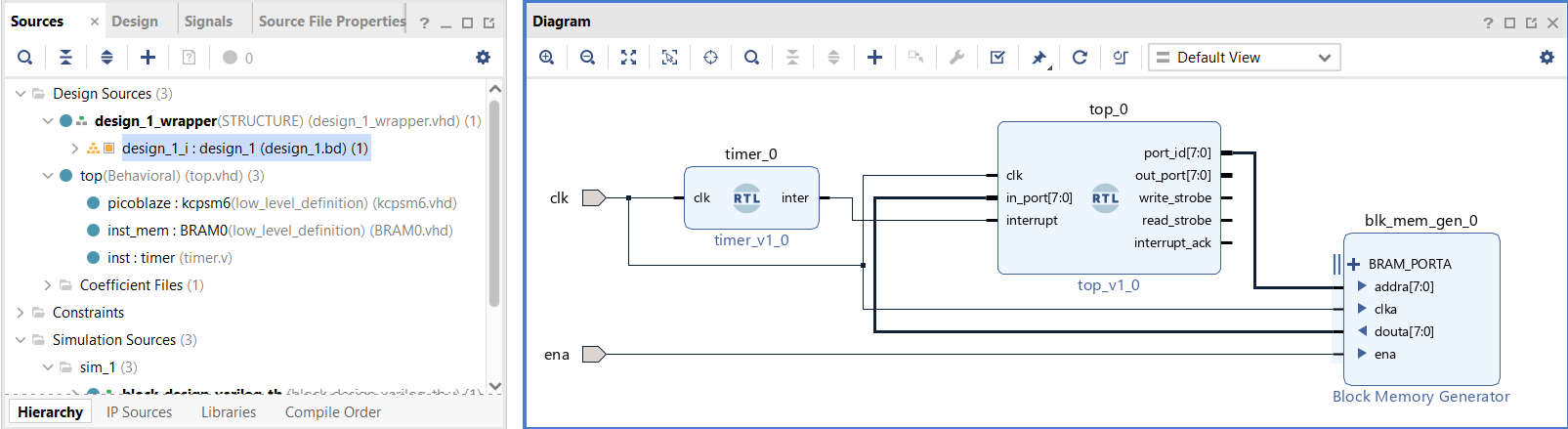
Gömülü Sistemlere Giriş Dönem Projesi Çalıştırma Kılavuzu

1- Github’daki dosyalar yeni bir vivado projesine eklenir. Memory.coe dosyası dışındaki dosyalardan block\_design\_verilog\_tb.v dosyası simülasyon dosyası olarak eklenmeli diğer dosyalar ise dizayn dosyası olarak eklenmeli.

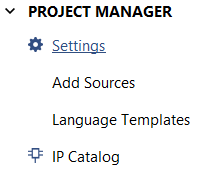
2- Dosyaları yükledikten sonra create block design seçeneğini seçiyoruz.

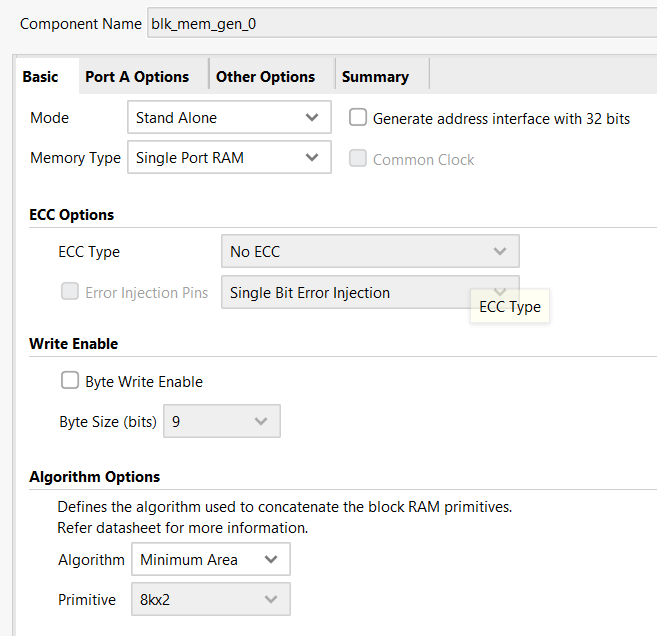


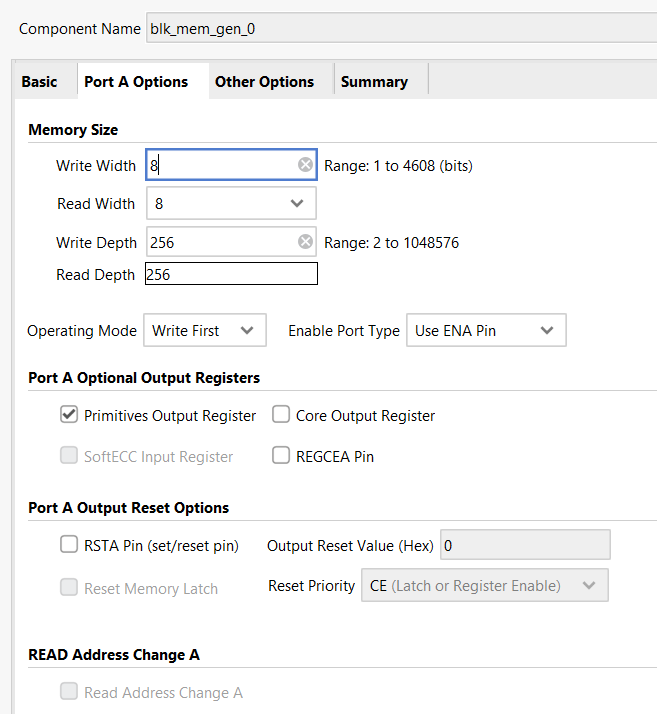
3- Gelen ekranda top dosyasını ve timer dosyasını source kısmından blok dizayna sürükleyerek bırakıyoruz.



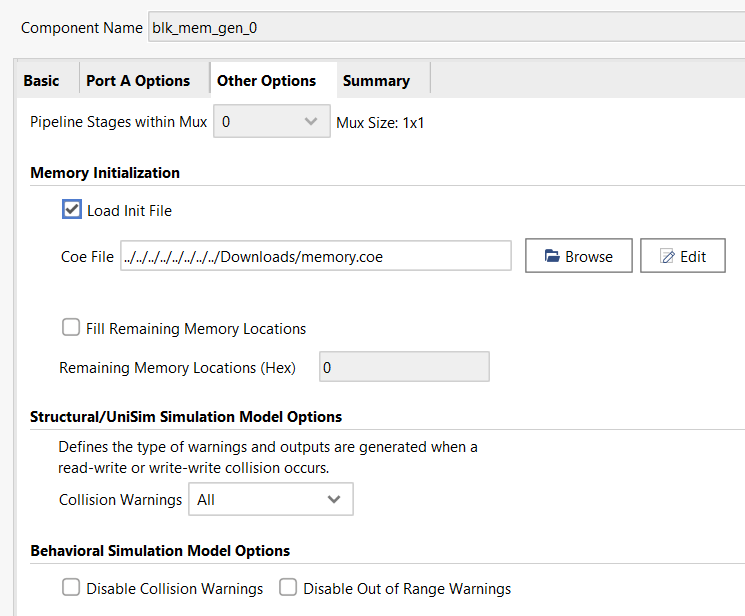
4- Block RAM oluşturmak için IP catalogu kullanıyoruz ve aşağıda görülen ayarları yapıyoruz.



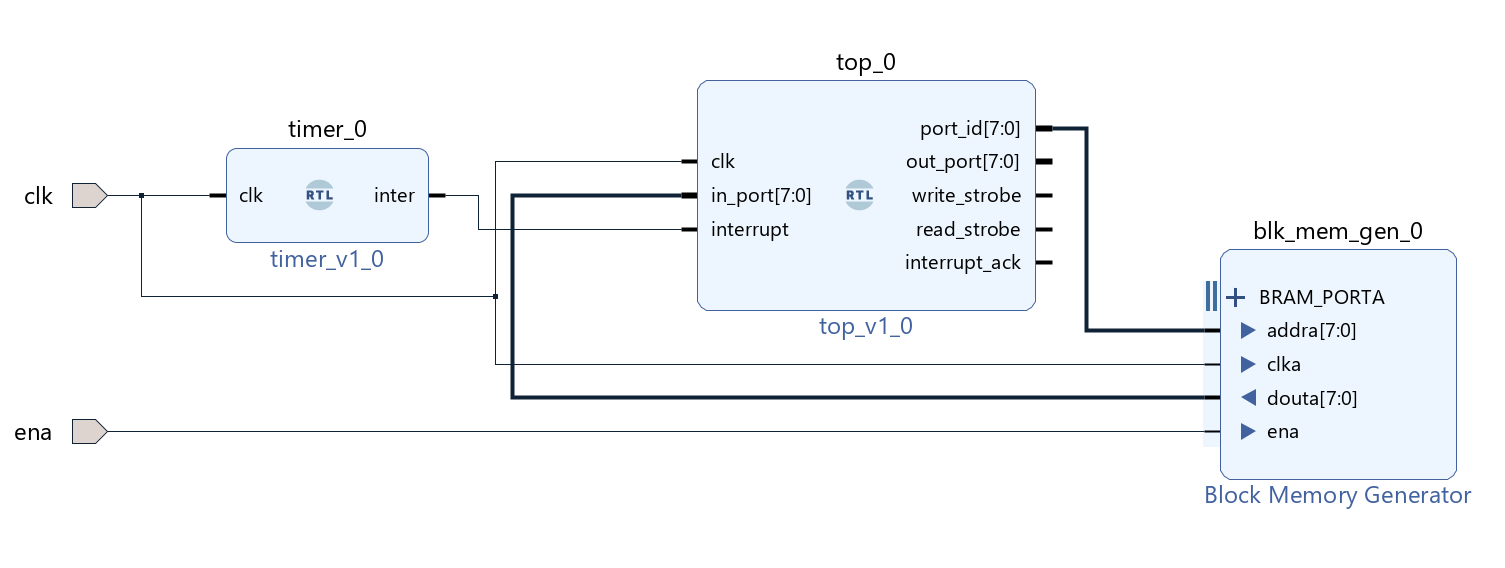




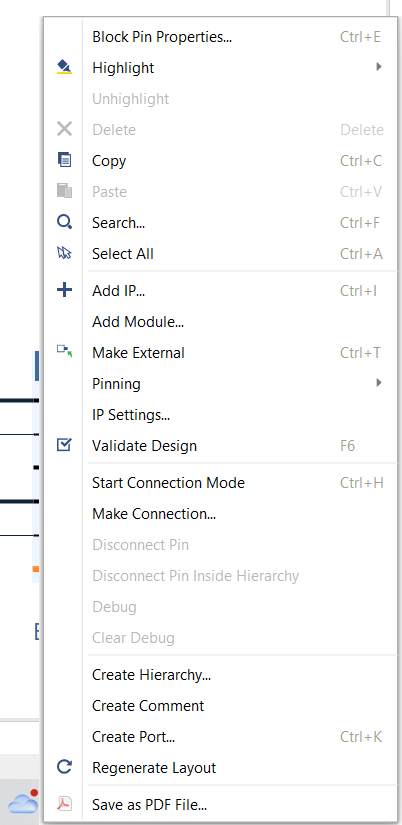
Memory.coe dosyasını bu adımda yüklüyoruz.



5- Blok dizaynda aşağıdaki bağlantıları yapıyoruz.

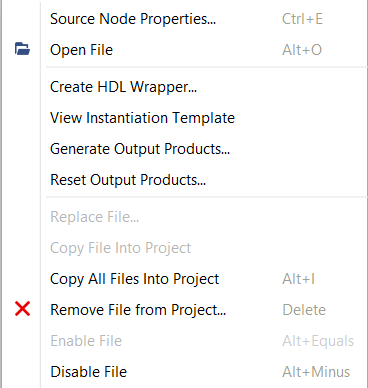


Clk ve ena portlarını, portun üstüne sağ tıklayıp make external seçeneğini seçip aşağıdaki gibi external yapıyoruz sadece bu iki portun external olması lazım.

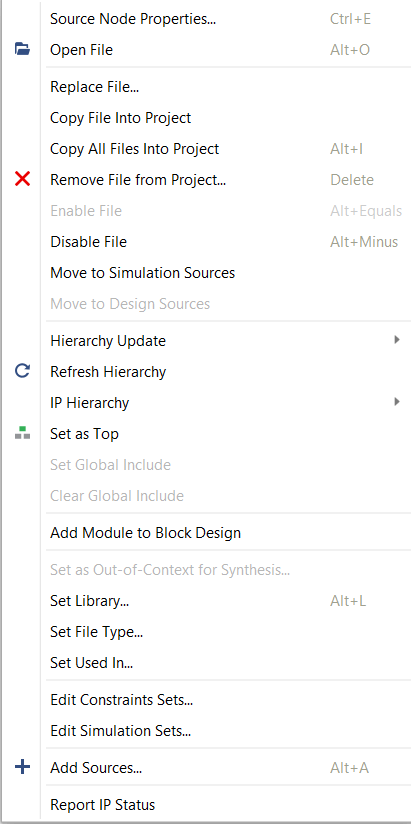


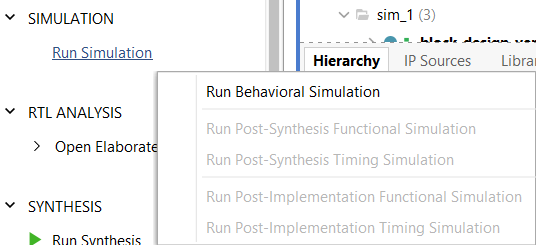
6- Bağlantıları tamamladıktan sonra design sources kısmından aşağıda gördüğümüz blok dizayna sağ tıklayıp Create HDL Wrapper diyoruz.





7- Oluşturulan design\_1\_wrapper dosyasına sağ tıklayıp set as top diyoruz.



8- Tek simülasyon dosyamızıda aynı şekilde set as top diyerek top modül seçiyoruz. Simülasyon yapmaya hazırız. Run behavioral simulation diyerek simülasyonu yapıyoruz.

9- Scope sütunun altından simülasyonda görmek istediğimiz parametleri sürükleyip sağ tarafa bırakıyoruz ve şekilde görüldüğü gibi relaunch simulation yapıyoruz. Daha sonra relaunch simulationun sol kısmında bulunan zaman parametlerini ayarlayıp simülasyonu ilerletiyoruz.

